

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-216483

(43)Date of publication of application : 02.08.2002

(51)Int.Cl. G11C 16/02
G11C 16/06
G11C 29/00

(21)Application number : 2001-010242 (71)Applicant : TOSHIBA CORP

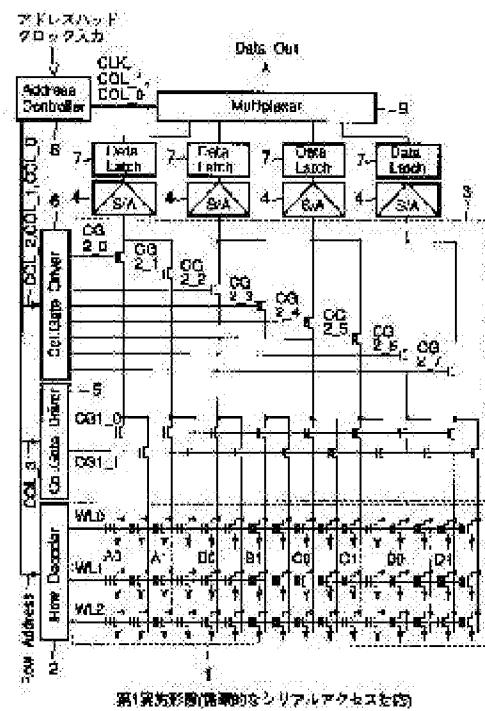
(22)Date of filing : 18.01.2001 (72)Inventor : SHIGA HITOSHI
TAKANO YOSHINORI
TANZAWA TORU
ATSUMI SHIGERU

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which high speed read-out of data being equal to 'pipeline read-out' can be performed and chip area can be reduced.

SOLUTION: This device is provided with a sense amplifier 4 sensing data from a memory cell array 1, column gates 3 connected in series by two stages or more, column gate driving circuits 5, 6 selecting and driving this gate 3, a data latch 7 latching sensed data, a multiplexer 9 selecting successively latched data and transmitting it to an output section (Data Out), and an address control circuit 8 selecting a column specified by an address selected next by reversing a driving signal driving at least one stage out of the gates 3 while this multiplexer 9 selects successively data, and sensing data in accordance with an address selected next by the sense amplifier 4.



第1実方式構成(階層的なシリアルアクセスを約)

LEGAL STATUS

[Date of request for examination] 10.02.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-216483

(P2002-216483A)

(43)公開日 平成14年8月2日(2002.8.2)

(51) Int.Cl.⁷
 G 11 C 16/02
 16/06
 29/00

識別記号
 6 0 3

F I
 G 11 C 29/00
 17/00

テ-マコード(参考)
 6 0 3 F 5 B 0 2 5
 6 0 3 G 5 L 1 0 6
 6 1 3
 6 3 4 G
 6 3 4 A

審査請求 未請求 請求項の数14 O L (全17頁) 最終頁に続く

(21)出願番号 特願2001-10242(P2001-10242)

(71)出願人 000003078

(22)出願日 平成13年1月18日(2001.1.18)

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 志賀 仁

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 高野 芳徳

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

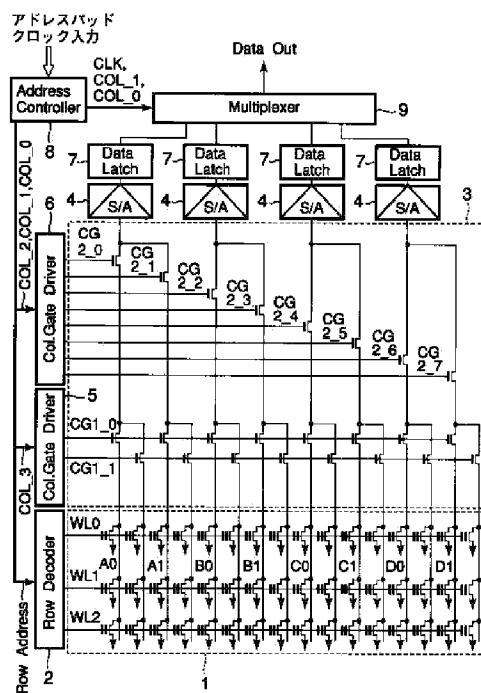
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 “パイプライン読み出し”と同等の高速データ読み出しを可能としつつ、かつそのチップ面積を縮小可能な半導体記憶装置を提供すること。

【解決手段】 メモリセルアレイ1からのデータをセンスするセンスアンプ4と、2段以上直列接続されたカラムゲート3と、このゲート3を選択して駆動するカラムゲート駆動回路5、6と、センスされたデータをラッチするデータラッチ7と、ラッチされたデータを順次選択して出力部(Data Out)に伝達するマルチプレクサ9と、このマルチプレクサ9がデータを順次選択している間に、次に選択されるアドレスで指定されるカラムを、上記ゲート3のうち少なくとも1段を駆動する駆動信号を反転させて選択し、次に選択されるアドレスに応じたデータをセンスアンプ4でセンスさせるアドレス制御回路8とを具備する。



第1実施形態(循環的なシリアルアクセス対応)

【特許請求の範囲】

【請求項1】 メモリセルアレイと、
前記メモリセルアレイのロウを選択するロウデコーダ
と、
複数アドレスに応じた前記メモリセルアレイからの複数
データを同時にセンスするセンスアンプと、
前記メモリセルアレイのカラムを選択し、選択したカラ
ムを前記センスアンプに電気的に接続する2段以上直列
接続されたカラムゲート及びこのカラムゲートを選択し
て駆動するカラムゲート駆動回路と、
前記センスアンプでセンスされた複数データをラッチする
データラッチと、
前記データラッチにラッチされた複数データから、所定
の1アドレスに応じたデータを順次選択して出力部に伝
達するマルチプレクサと、
前記マルチプレクサが前記所定の1アドレスに応じたデ
ータを順次選択している間に、前記複数アドレスの次に
選択される複数アドレスで指定されるカラムを前記2段
以上直列に接続されたカラムゲートのうちの少なくとも
1段を駆動する駆動信号を反転させて選択し、前記次に
選択される複数アドレスに応じた複数データを前記セン
スアンプで同時にセンスするようにパイプライン読み出
し制御するアドレス制御回路とを具備することを特徴と
する半導体記憶装置。

【請求項2】 前記パイプライン読み出しの際に反転さ
れる駆動信号を、前記センスアンプに電気的に接続され
るカラム毎に個別に前記カラムゲート駆動回路で制御で
きるように分離し、
前記センスアンプで同時にセンスされる複数アドレスの
カラムの組み合わせを可変にしたことを特徴とする請求
項1に記載の半導体記憶装置。

【請求項3】 外部クロックに同期してアドレス順にデ
ータを順次出力する機能を備え、
始めに外部入力されたアドレスのデータから出力を開始
し、
センスアンプ個数の2倍に相当するアドレスのデータを周
期的に出力する請求項2に記載の半導体記憶装置。

【請求項4】 外部クロックに同期してアドレス順にデ
ータを順次出力する機能を備え、
始めに外部入力されたアドレスのデータから出力を開始
し、
2度目にセンスしたデータを出力するとき以外は、ロウ
アドレスが切り替わるまで、クロックに同期してアドレ
ス順にデータを順次出力することが可能な請求項2に記
載の半導体記憶装置。

【請求項5】 前記メモリセルアレイは、本体カラム
と、この本体カラムとロウを共有する冗長カラムとを含
み、この冗長カラムからのデータをセンスする冗長セン
スアンプと、この冗長センスアンプでセンスされたデ
ータをラッチする冗長データラッチとを、さらに具備し、

前記マルチプレクサは、不良アドレスがアクセスされた
際、この不良アドレスに応じたデータがラッチされるデ
ータラッチに代えて、前記冗長データラッチを選択し、
この冗長データラッチにラッチされたデータを選択して
前記出力部に伝達することを特徴とする請求項1に記載
の半導体記憶装置。

【請求項6】 前記メモリセルアレイは、本体カラム、
及びこの本体カラムとロウを共有する冗長カラムを含
み、この冗長カラムからのデータをセンスする冗長セン
スアンプを、さらに具備し、

前記データラッチは、不良アドレスがアクセスされた
際、この不良アドレスに応じたデータがセンスされるセ
ンスアンプに代えて、前記冗長センスアンプでセンスさ
れたデータをラッチすることを特徴とする請求項1に記
載の半導体記憶装置。

【請求項7】 メモリセルアレイと、
前記メモリセルアレイのロウを選択するロウデコーダ
と、

n ビットのアドレスに応じた 2^n 個のデータを同時にセ
ンスする 2^n 個のセンスアンプと、

前記メモリセルアレイのカラムを選択し、選択したカラ
ムを前記センスアンプに電気的に接続する2段以上直列
接続されたカラムゲート及びこのカラムゲートを選択し
て駆動するカラムゲート駆動回路と、

前記センスアンプでセンスされた 2^n 個のデータをラッ
チする 2^n 個のデータラッチと、

前記データラッチにラッチされた 2^n 個のデータから、
所定の1アドレスに応じたデータをクロックに同期して
順次選択して出力部に伝達するマルチプレクサとを具備
し、

前記 n ビットのアドレス信号を前記カラムゲートの開閉
制御に使用し、 2^{n+1} アドレス分の循環的な連続シリアル
アクセスをその開始アドレスによらず遅延なしに実現
することを特徴とする半導体記憶装置。

【請求項8】 前記出力部に電気的に接続される出力デ
ータラッチを、さらに具備し、

前記出力データラッチは、前記マルチプレクサから伝達
される前記所定の1アドレスに応じたデータを1クロック
毎にラッチして順次出力し、

前記マルチプレクサは、前記出力データラッチがデータ
をラッチした後、前記所定の1アドレスの次の1アドレ
スに応じたデータを選択して伝達し、
前記データラッチは、前記センスアンプでセンスされた
 2^n 個のデータを 2^n クロック毎にラッチしてそのラッチ
データを更新することを特徴とする請求項7に記載の半
導体記憶装置。

【請求項9】 メモリセルアレイと、
前記メモリセルアレイのロウを選択するロウデコーダ
と、

n ビットのアドレスに応じた 2^n 個のデータを同時にセ

ンスする2ⁿ個のセンスアンプと、
前記メモリセルアレイのカラムを選択し、選択したカラムを前記センスアンプに電気的に接続する2段以上直列接続されたカラムゲート及びこのカラムゲートを選択して駆動するカラムゲート駆動回路と、
前記センスアンプでセンスされた2ⁿ個のデータをラッチする2ⁿ個のデータラッチと、
前記データラッチにラッチされた2ⁿ個のデータから、所定の1アドレスに応じたデータをクロックに同期して順次選択して出力部に伝達するマルチプレクサとを具備し、
前記nビットのアドレス信号を前記カラムゲートの開閉制御に使用し、2ⁿ⁺¹アドレス分のメモリセルから任意の2ⁿアドレス分のメモリセルを選択して前記センスアンプで同時にセンスすることを特徴とする半導体記憶装置。

【請求項10】 不揮発性のメモリセルが配置された第1のメモリセルアレイと、
前記第1のメモリセルアレイのロウを選択する第1の口

ウデコーダと、
複数アドレスに応じた前記第1のメモリセルアレイからの複数データを同時にセンスする読み出し用センスアンプと、

前記第1のメモリセルアレイのカラムを選択し、選択したカラムを前記読み出し用センスアンプに電気的に接続する2段以上直列接続された第1の読み出し用カラムゲート及びこの第1の読み出し用カラムゲートを選択して駆動する第1の読み出し用カラムゲート駆動回路と、
前記読み出し用センスアンプでセンスされた複数データをラッチするデータラッチと、

前記データラッチにラッチされた複数データから、所定の1アドレスに応じたデータを順次選択して出力部に伝達するマルチプレクサと、
少なくとも1つのアドレスに応じた前記第1のメモリセルアレイからの少なくとも1つのデータをセンスするペリファイ用センスアンプと、

前記第1のメモリセルアレイのカラムを選択し、選択したカラムを前記ペリファイ用センスアンプに電気的に接続する、前記第1の読み出し用カラムゲートに並列接続された第1のペリファイ用カラムゲート及びこの第1のペリファイ用カラムゲートを選択して駆動する第1のペリファイ用カラムゲート駆動回路とを具備し、
前記選択したカラムを、前記読み出し用センスアンプ、及び前記ペリファイ用センスアンプのどちらに電気的に接続するか、前記第1の読み出し用カラムゲート、及びこれに並列接続された第2のペリファイ用カラムゲートを制御して選択することを特徴とする半導体記憶装置。

【請求項11】 不揮発性のメモリセルが配置された第2のメモリセルアレイと、
前記第2のメモリセルアレイのロウを選択する第2の口

ウデコーダと、
前記第2のメモリセルアレイのカラムを選択し、選択したカラムを前記データ読み出し用センスアンプに電気的に接続する2段以上直列接続された第2の読み出し用カラムゲート及びこの第2の読み出し用カラムゲートを選択して駆動する第2の読み出し用カラムゲート駆動回路と、

前記第2のメモリセルアレイのカラムを選択し、選択したカラムを前記ペリファイ用センスアンプに電気的に接続する、前記第2の読み出し用カラムゲートに並列接続された第2のペリファイ用カラムゲート及びこの第2のペリファイ用カラムゲートを選択して駆動する第2のペリファイ用カラムゲートと、さらに具備し、前記第1、第2のメモリセルアレイのいずれか一方に対してデータ書き込み/データ消去を実行している間、他方に対してデータ読み出しを実行する機能を備えるとともに、前記読み出し用センスアンプ、前記データラッチ、前記マルチプレクサ、及び前記ペリファイ用センスアンプをそれぞれ、前記第1、第2のメモリセルアレイで共有し、

前記第1、第2のメモリセルアレイを、前記読み出し用センスアンプ、及び前記ペリファイ用センスアンプのどちらに電気的に接続するかは、前記第1の読み出し用カラムゲート、これに並列接続された第1のペリファイ用カラムゲート、前記第2の読み出し用カラムゲート、これに並列接続された第2のペリファイ用カラムゲートを選択することを特徴とする請求項10に記載の半導体記憶装置。

【請求項12】 前記ペリファイ用センスアンプは、前記読み出し用センスアンプよりも数が少ないと特徴とする請求項10及び請求項11いずれかに記載の半導体記憶装置。

【請求項13】 複数アドレスのメモリセルを同時に選択、センスし、データをラッチしておいて、その保持したデータを外部クロックに同期して順次出力している間に、次の複数アドレスのメモリセルを選択、センスするパイプライン読み出し機能を備え、
センスアンプ出力のラッチ、センスアンプ出力ラッチ後の次の複数アドレスの選択、複数アドレスデータから所定の1アドレスを選択し出力するタイミングは外部クロックに同期して生成された信号を用い、
それ以外の読み出しタイミングは外部クロック周波数とは無関係の内部遅延を用いて読み出しを制御することを特徴とする半導体記憶装置。

【請求項14】 複数アドレスのメモリセルを同時に選択、センスし、データをラッチしておいて、保持したデータをクロックに同期して順次出力している間に次の複数アドレスのメモリセルを選択、センスするパイプライン読み出し機能を備え、
複数アドレスで指定されるセルを選択するアドレス制御

回路と、センスアンプ出力データを保持する第1のデータラッチおよびセンスアンプと前記第1のデータラッチを接続する第1の伝送ゲートと、前記第1のデータラッチのうち一部のデータを選択するマルチプレクサと、前記マルチプレクサによって選択された出力データをラッチする第2のデータラッチおよびマルチプレクサと前記出力データラッチとを接続する第2の伝送ゲートとを備え、

第1の伝送ゲートを開閉してセンスアンプ出力を第1のデータラッチに転送してから前記アドレス制御回路は内部アドレスを変化させて次のセルを選択し、

前記マルチプレクサは第2の伝送ゲートを開閉して第2のデータラッチに転送し、そのデータを出力している間に次の出力データを選択することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置のデータ読み出し技術に関し、特にその高速化技術に関する。

【0002】

【従来の技術】半導体記憶装置（例えばNOR型フラッシュメモリ）のランダムアクセスは、アドレス入力毎にセル選択、セルデータセンス、出力の一連の読み出し動作を繰り返す。このため、ある一定時間以上には早くデータを出力することはできない。

【0003】一方、シリアルアクセスの場合は、同一ワード線上にある複数アドレスに対応するセルを同時に選択してセンスし、センスしたデータをラッチし、このラッチしたデータを、外部からのクロックに同期させて順次出力することで、見かけ上、高速なデータ読み出しができる。

【0004】さらにラッチしたデータを順次出力している間に、チップ内部では、次のひとまとまりのセルをセンスする、いわゆる“パイプライン読み出し”をすることで最初のアクセス以降、内部の読み出し遅延を無くすことができ、高速データ読み出しが可能になる。

【0005】

【発明が解決しようとする課題】従来、“パイプライン読み出し”は、メモリセルアレイを2つに分割し、それぞれにデコーダ、及びセンスアンプを持たせることで実現している。このため、チップ面積は大幅に増加している。

【0006】この発明は、上記の事情に鑑み為されたもので、その主要な目的は、少なくとも“パイプライン読み出し”と同等の高速データ読み出しを可能としつつ、かつそのチップ面積を縮小することが可能な半導体記憶装置を提供することにある。

【0007】

【課題を解決するための手段】上記主要な目的を達成す

るために、この発明に係る第1の半導体記憶装置では、メモリセルアレイと、このメモリセルアレイのロウを選択するロウデコーダと、複数アドレスに応じた前記メモリセルアレイからの複数データを同時にセンスするセンスアンプと、前記メモリセルアレイのカラムを選択し、選択したカラムを前記センスアンプに電気的に接続する2段以上直列接続されたカラムゲート及びこのカラムゲートを選択して駆動するカラムゲート駆動回路と、前記センスアンプでセンスされた複数データをラッチするデータラッチと、このデータラッチにラッチされた複数データから、所定の1アドレスに応じたデータを順次選択して出力部に伝達するマルチプレクサと、このマルチプレクサが前記所定の1アドレスに応じたデータを順次選択している間に、前記複数アドレスの次に選択される複数アドレスで指定されるカラムを前記2段以上直列に接続されたカラムゲートのうちの少なくとも1段を選択する駆動信号を反転させて選択し、前記次に選択される複数アドレスに応じた複数データを前記センスアンプで同時にセンスするようにパイプライン読み出し制御するアドレス制御回路とを具備することを特徴としている。

【0008】また、上記主要な目的を達成するために、この発明に係る第2の半導体記憶装置では、メモリセルアレイと、このメモリセルアレイのロウを選択するロウデコーダと、nビットのアドレスに応じた2ⁿ個のデータを同時にセンスする2ⁿ個のセンスアンプと、前記メモリセルアレイのカラムを選択し、選択したカラムを前記センスアンプに電気的に接続する2段以上直列接続されたカラムゲート及びこのカラムゲートを選択して駆動するカラムゲート駆動回路と、前記センスアンプでセンスされた2ⁿ個のデータをラッチする2ⁿ個のデータラッチと、このデータラッチにラッチされた2ⁿ個のデータから、所定の1アドレスに応じたデータをクロックに同期して順次選択して出力部に伝達するマルチプレクサとを具備し、前記nビットのアドレス信号を前記カラムゲートの開閉制御に使用し、2ⁿ⁺¹アドレス分の循環的な連続シリアルアクセスをその開始アドレスによらず遅延なしに実現することを特徴としている。

【0009】また、上記主要な目的を達成するために、この発明に係る第3の半導体記憶装置では、メモリセルアレイと、このメモリセルアレイのロウを選択するロウデコーダと、nビットのアドレスに応じた2ⁿ個のデータを同時にセンスする2ⁿ個のセンスアンプと、前記メモリセルアレイのカラムを選択し、選択したカラムを前記センスアンプに電気的に接続する2段以上直列接続されたカラムゲート及びこのカラムゲートを選択して駆動するカラムゲート駆動回路と、前記センスアンプでセンスされた2ⁿ個のデータをラッチする2ⁿ個のデータラッチと、このデータラッチにラッチされた2ⁿ個のデータから、所定の1アドレスに応じたデータをクロックに同期して順次選択して出力部に伝達するマルチプレクサと

を具備し、前記nビットのアドレス信号を前記カラムゲートの開閉制御に使用し、 2^{n+1} アドレス分のメモリセルから任意の 2^n アドレス分のメモリセルを選択して前記センスアンプで同時にセンスすることを特徴としている。

【0010】また、上記主要な目的を達成するために、この発明に係る第4の半導体記憶装置では、不揮発性のメモリセルが配置された第1のメモリセルアレイと、前記第1のメモリセルアレイのロウを選択する第1のロウデコーダと、複数アドレスに応じた前記第1のメモリセルアレイからの複数データを同時にセンスする読み出し用センスアンプと、前記第1のメモリセルアレイのカラムを選択し、選択したカラムを前記読み出し用センスアンプに電気的に接続する2段以上直列接続された第1の読み出し用カラムゲート及びこの第1の読み出し用カラムゲートを選択して駆動する第1の読み出し用カラムゲート駆動回路と、前記読み出し用センスアンプでセンスされた複数データをラッチするデータラッチと、前記データラッチにラッチされた複数データから、所定の1アドレスに応じたデータを順次選択して出力部に伝達するマルチプレクサと、少なくとも1つのアドレスに応じた前記第1のメモリセルアレイからの少なくとも1つのデータをセンスするペリファイ用センスアンプと、前記第1のメモリセルアレイのカラムを選択し、選択したカラムを前記ペリファイ用センスアンプに電気的に接続する、前記第1の読み出し用カラムゲートに並列接続された第1のペリファイ用カラムゲート及びこの第1のペリファイ用カラムゲートを選択して駆動する第1のペリファイ用カラムゲート駆動回路とを具備し、前記選択したカラムを、前記読み出し用センスアンプ、及び前記ペリファイ用センスアンプのどちらに電気的に接続するか、前記第1の読み出し用カラムゲート、及びこれに並列接続された第2のペリファイ用カラムゲートを制御して選択することを特徴としている。

【0011】このような第1～第4の半導体記憶装置によれば、センスアンプ、このセンスアンプでセンスされたデータをラッチするデータラッチ、及び2段以上直列に接続され、その開閉制御により、センスアンプに電気的に接続するカラムを選択するカラムゲートを備えることで、“パイプライン読み出し”と同様の高速データ読み出しを可能としつつ、かつそのセンスアンプ個数を削減できる。

【0012】よって、少なくとも“パイプライン読み出し”と同等の高速データ読み出しを可能としつつ、かつそのチップ面積を縮小することが可能となる。

【0013】

【発明の実施の形態】以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0014】(第1実施形態) 図1を参照し、NOR型

フラッシュメモリを例にメモリセルアレイとカラムゲートおよびセンスアンプの構成についてまず説明する。

【0015】図1は、この発明の第1実施形態に係るNOR型フラッシュメモリの一例を示す回路図である。

【0016】図1に示すように、NOR型に配置されたメモリセルアレイ1のワード線(WL0～WL2)は、ロウアドレス(Row Address)を受けるロウデコーダ(Row Decoder)2を介して選択される。ビット線は、ツリー状の伝送ゲート(カラムゲート)3を開き、センスアンプ(S/A)4につなぐことで選択される。

【0017】図1に示す一例では、カラムゲート3は2段のツリー構造を持ち、それぞれ対応する列アドレス(COL_0～COL_2)を受けるカラムゲート駆動回路(COL_GateDriver)5、及び列アドレス(COL_3)を受けるカラムゲート駆動回路(COL_GateDriver)6により、1本のカラムゲート線が選択される。このとき、複数アドレスのセル、例えば4つのアドレスで指定されるセルを同時に選択、センスしてデータをデータラッチ(Data Latch)7に保持しておく。ラッチされたデータは、アドレス制御回路(Address Controller)8によって順次選択されたアドレスに対応するデータを出力マルチプレクサ(Multiplexer)9で選択して出力バスに出力する。

【0018】図1は、一つのI/Oに着目したもので、実際には同一の回路がI/O数分存在する。

【0019】本実施形態の主要な特徴は、カラムゲート駆動回路6に、3本のアドレス信号COL_0～COL_2を入力し、8個のカラムゲートCG2_0～CG2_7を個々独立に選択することを可能にしたことである。

【0020】シリアルアクセスのアクセス順序にはいくつかの種類があるが、そのうち8アドレスの循環的なシリアルアクセスの2種類を、図2、図3に示す。

【0021】図2はシリアルアクセスのうち、循環的なインターリーブアクセスのアクセス順序を示す図、図3は同シリアルアクセスのうち、循環的な連続アクセスのアクセス順序を示す図である。

【0022】図2に示すインターリーブアクセスでは、最初の4アドレスの組み合わせは(0,1,2,3)か、(4,5,6,7)かのいずれかでしかない。

【0023】これに対し、図3に示す連続アクセスでは、先頭アドレス分、つまり8種類の組み合わせが存在する。

【0024】図1に示す一回路例では、8個のカラムゲートCG2_0～CG2_7をそれぞれ独立に駆動するので、任意の4つのカラムゲートCG2を同時に開くことが可能である。上記図2に示すインターリーブアクセス、図3に示す連続アクセスのどちらも実現するカラムゲート駆動回路6の一例を図4に示す。

【0025】図4に示すように、信号INTERLEAVEが“HIGH”的場合、選択されるカラムはCOL_2のみで決まり、COL_2=“LOW”的ときは、カラムゲートCG2_0、CG2_2、CG2_4

CG2_4、CG2_6が選択され、COL_2="HIGH"のときは、カラムゲートCG2_1、CG2_3、CG2_5、CG2_7が選択され、それぞれ(0,1,2,3)、及び(4,5,6,7)のアドレスに対応したメモリセルをアクセスすることになる。

【0026】また、信号INTERLEAVEが"LOW"のときの真理値表を、図5に示しておく。

【0027】次に、インターリーブアクセス動作を、より詳しく説明する。

【0028】図6は、インターリーブパイプライン読み出し動作を示す動作タイミング図である。

【0029】図6に示すように、ラッチした4アドレス分のデータ(本例ではA0、B0、C0、D0)を順次出力している間に、次の4アドレス分のセルを選択、センスする(パイプライン動作させる)ことで、内部のセンス時間の遅延をチップ外部に見えなくすることができる。

【0030】読み出しデータ(DataOut)は、CLKPADから入力されるクロック信号に同期して、所定のアドレス順で順次出力される。

【0031】まず、アドレスパッドに入力される読み出し開始アドレスを、チップイネーブル信号/CE="LOW"となった後、最初のCLKの立ち上がりでラッチする。ラッチされたアドレスにしたがって、ワード線(WL0)およびカラムゲート(CG1_0、CG2_0)にバイアスが印加され、A0、B0、C0、D0の各ビット線についてセンスが開始される。これら4アドレス分のデータが、図1に示すデータラッチ7にラッチされると、データ出力が開始される。

【0032】本例では、このデータ出力が開始された同時に、COL_2を反転させて、カラムゲートの選択をCG2_1に切り替え、A1、B1、C1、D1の各ビット線をセンスする。読み出しデータとしてD0が出力されるまでに、センスを終了し、ラッチを新しいデータに更新すると、D0のデータに連続してA1のデータを出力できる。

【0033】このような動作を実現するためのアドレス制御回路8の一例を図7に、及び出力マルチプレクス制御回路の一例を図8に示す。

【0034】図7に示すアドレス制御回路8、及び図8に示す出力マルチプレクス制御回路では、始めにアドレスをラッチし、4クロック後にCOL_2のみ反転させる。これにより、図6に示した動作を実現することができる。

【0035】また、図6～図8では、1クロック1データアウトの単純な場合を想定しているが、クロック周波数と内部のセンス時間との関係で、例えば2クロック1データアウトとする場合には、8クロックをカウントした後、COL_2を反転せねばよい。

【0036】(第2実施形態)第1実施形態では、循環的なインターリーブアクセスを中心説明した。本第2実施形態は、循環的な連続アクセスの例である。

【0037】図3に示した連続アクセスは、図1に示す構成で、出力マルチプレクス制御回路を、図9のように

変形することで実現される。

【0038】循環的な連続アクセスの特徴は、開始アドレスによって同時選択されるセルの組み合わせが変化することである。具体的には図10のようなセルが同時選択される必要がある。図10に示す組み合わせは、図1に示したカラムゲート3の構成を用い、図4に示したカラムゲート駆動回路6の信号INTERLEAVE="LOW"とすることによって得ることができる。

【0039】図1に示すセル構成では、1個のセンスアンプあたり4本のビット線を割り当てている。アドレス信号にしたがって1本のビット線を選択するには本来2ビットのアドレス信号があれば十分である。

【0040】しかし、センスアンプ出力のマルチプレクサに使用しているCOL_1、COL_0も、CG2のカラムゲート駆動回路6に入力し、4つのセンスアンプ毎にCG2のカラムゲート信号をすべてわけている。

【0041】こうすると、8アドレス(COL_2, COL_1, COL_0)=(0,0,0)～(1,1,1)分のセルの中から、任意の連続した4アドレス分のセルを選択できるようになる。CG2を駆動する図4に示すカラムゲート駆動回路6において、信号INTERLEAVE="LOW"とすれば、開始アドレスに応じて図10のような同時選択が可能である。

【0042】開始アドレスが(0,0,0)=0のときは素直にアドレス0～3のセルを選択する。そして、例えば開始アドレス(0,0,0)=1のときは、CG2_1,2,4,6(CG2_0ではなくCG2_1)を開くことで、アドレス1～4の連続した4アドレスセルを選択することができる。4アドレス分のセルデータをデータラッチ(図1に示したデータラッチ7)にラッチした後、COL_2を反転させるとCG2_0,3,5,7が選択されアドレス0,5,6,7のセルを読み出すことになる。

【0043】4アドレス分のセルをセンスした後は、COL_2を反転することで残りの4アドレス分のセルを同時選択する。

【0044】この構成を用いた場合の循環的な連続アクセス動作(パイプライン読み出し)のタイミングを図11に示す。アドレスの制御方法は、第1実施形態と同じであり、図7に示したアドレス制御回路8を使用すれば良い。

【0045】図11では、カラムゲートCG2_0が再度選択され、D1を出力した後、A0に戻って循環して出力する。8アドレス分を1回だけ出力して、そこでデータ出力(DataOut)を止める制御も容易に可能である。

【0046】なお、第1実施形態のアクセスと第2実施形態のアクセスとは、出力マルチプレクス制御の違いだけなので、出力マルチプレクス制御回路の出力を切り換えることで、どちらのアクセスも同一チップ上で実現可能である。出力順序の切り換えは、R/D置き換えなどに用いるfuseでも良いし、チップ外部から入力されるコマンドでも構わない。

【0047】さらに、図9に示した出力マルチプレクス制御回路のロジックに、図8に示した出力マルチプレクス制御回路のロジックを組み合わせれば、図3に示した循環的な連続アクセスと、図2に示した循環的なインターリーブアクセスとを、同一チップ上で実現することができる。具体的には、例えば図8中のエクスクルーシブNOR21と図9中の加算器22とを互いに並列接続し、インターリーブアクセスと連続アクセスとを切り換える信号INTELEAVEを用いて、エクスクルーシブNOR21及び加算器22のいずれか一方をアクティブにすれば良い。

【0048】また、第1、第2実施形態の双方とも、4アドレス分を順次センスしていくパイプライン動作を例にあげているが、例えば8アドレスを同時センスすれば、16アドレスのシリアルアクセスが実現できる。

【0049】(第3実施形態) 第1、第2実施形態はそれぞれ、循環的なシリアルアクセスについての例であった。本第3実施形態は、循環的でないシリアルアクセス、例えば順次アドレスが増えていくシリアルアクセスの例である。

【0050】この発明の第3実施形態に係るNOR型フラッシュメモリの一例を図12に、循環的でない連続アクセスのアクセス順序を図13にそれぞれ示す。

【0051】循環的でない連続アクセスの場合は、アドレス自体をカウントアップする必要がある。このようなアドレス自体をカウントアップできるアドレス制御回路8の一例を図14(A)に示す。また、図14(B)は、図14(A)に示す回路ブロック100の一回路例を示している。

【0052】図14(A)に示すアドレス制御回路8によれば、4クロック毎にCOL_2から上位のアドレスを順次カウントアップしていく。

【0053】一方、COL_0、COL_1を使ってクロックに同期してデータラッチ7から所定のデータを順次シリアルに出力する出力マルチプレクス制御回路は、図15に示すように、図9に示した出力マルチプレクス制御回路とほぼ同等の回路を使用することができる。

【0054】ただし、開始アドレスが(COL_2, COL_1, COL_0)=(0, 0, 0)、(1, 0, 0)以外だとパイプライン読み出しの出力が4クロックで間に合わないケースが生じる。例えば開始アドレスが(1, 0, 1)、即ちアドレス5の場合を考える。読み出し開始の最初のセンスでアドレス5, 6, 7, 0(B1, C1, D1, A0)のセルを選択、同時センスする。それらのデータを出力する間に、次の4アドレスのセルをセンスするわけであるが、本来5, 6, 7, 8(B1, C1, D1, A2)の4つのデータを出力しなければならないのに、アドレス8(A2)のセルは選択されていない。これを選択するにはCG1のゲートを切り換えなければならないからである。

【0055】したがって、アドレス7のセルデータを出力後は、図15に示す出力マルチプレクス制御回路にお

けるカウントアップを止める必要がある。このため、図15に出力マルチプレクス制御回路では、4クロックカウント前に、出力データ選択のアドレスが(OUT_1, OUT_0)が(1, 1)になると、カウントアップを中断するように制御する。

【0056】図16は、循環的でない連続アクセス動作(パイプライン読み出し)を示す動作タイミング図である。

【0057】図16に示すように、循環的でない連続アクセスでは、始めの8アドレスを読み出す間に、下位の開始アドレスが0以外ならば、最大3クロックのウェイトが入るがあとはロウアドレスが切り替わるまで遅延なく連続して読み出すことが可能である。

【0058】もちろん、CG1のカラムゲート制御もCG2のように独立に制御すれば、カラムの切り換わりに対しては、遅延なく連続シリアルアクセスが可能である。しかし、CG1はビット線と同数のカラムゲートが存在し、それぞれ独立に制御するには面積的なペナルティが大きい。カラムゲートの独立制御はツリーの上位でおこなうのが好ましい。

【0059】(第4実施形態) 第4実施形態は、この発明に、リダンダンシ技術を適用した場合の例である。

【0060】半導体記憶装置では、加工不具合などによって発生する不良メモリセルをスペアのカラム(ビット線)に置き換えることで製品不良となるのを防いでいる。読み出し時、同時にスペアカラムのセルデータも読み出し、アクセスされているアドレス中に置き換えすべきカラムが含まれているかどうかでセンスアンプ出力を切り換えるリダンダンシ方式について説明する。

【0061】図17はこの発明の第4実施形態に係るNOR型フラッシュメモリの一例を示す回路図であり、冗長カラム(スペアカラム)を備えたメモリセルアレイに対して、シリアルアクセスを実現する構成である。

【0062】図17に示すように、第4実施形態では、図1の構成に加え、冗長カラム用S/A4RDと、冗長カラム用データラッチ7RDとを設け、センス時は、本体セルと同時に冗長セル(スペアセル)をセンスする。そして、データ出力時に、入力アドレスと不良アドレス情報に応じたFuseデータとを比較し、ヒット(一致)したときには、冗長カラム用S/A4RDでセンスされ、冗長カラム用データラッチ7RDにラッチされたデータを、出力マルチプレクサ9'により、不良アドレスに応じたデータがラッ奇されているデータラッチ7に代えて、冗長カラム用データラッチ7RDを選択するようとする。本明細書では、このような出力マルチプレクサ9'を置換機能付マルチプレクサと呼ぶ。冗長カラムは、毎アドレスアクセスされ、データ出力段階でセンスアンプ出力をマルチプレクスすることで、スペア置き換えを判定する時間を見掛け上、無くすことができる。

【0063】冗長カラムのカラムゲートは、本体と同じ

信号で制御するか、常に開く。図17ではセル近接側のCG1は本体と同じ信号を用い、CG2_RDは常に“HIGH”に制御している。

【0064】データ出力時のマルチプレクスでの冗長カラムデータとの置き換えについて図18を参照して説明する。

【0065】内部アドレス (COL_2, COL_3より上位アドレス)の入力を受けて、Fuseのデータが決まる。図17、図18に示す信号HITRDは置き換えが必要かどうかの判定信号、RDCOL_0, RDCOL_1は置き換えの下位アドレス、RDIO_0, RDIO_1, RDIO_2, RDIO_3は置き換えのI/Oをあらわす。この場合データ幅は16I/Oである。

【0066】内部アドレスによる4アドレスセルの選択、センスと同時にFuseデータを読みこみ、図18のカラムR/D置き換え制御回路10にラッチする。この時点で、置き換えの必要なアドレスとI/Oは決まるのでデータ出力前に、不良データ出力をdisabledにしておく。シリアルアクセスで置き換えアドレスにヒットしたところで、R/Dデータの伝送ゲートを開き出力する。

【0067】Fuseデータの読み込みは、4アドレスセルの同時センス中に終了すればよい。一般的にメモリセルのセンス時間の方が長いので、Fuseの読み込み時間はアクセスには影響しない。

【0068】(第5実施形態) 第5実施形態は、この発明に、リダンダンシ技術を適用した場合の第2例である。

【0069】図19は、この発明の第5実施形態に係るNOR型フラッシュメモリの一例を示す回路図である。

【0070】上記第4実施形態では、冗長カラムに接続されたセンスアンプ4 RDもデータラッチ7 RDを持ち、データ出力時のマルチプレクスの際に、データ置き換えを行う。

【0071】しかし、冗長セルデータとの置き換えは、データラッチ7にデータ保持する時点で置き換えることも可能である。その場合の構成を図19に示す。

【0072】冗長カラムに接続されたセンスアンプ4 RDの出力は、全てのデータラッチ7'に接続され、データラッチ7'は、Fuseで指定された不良カラムアドレスに対応したカラムのセンスアンプ4の出力を置き換えて、データをラッチする。本明細書では、このようなデータラッチ7'を置換機能付データラッチと呼ぶ。置換機能付データラッチ7'と出力マルチプレクサ9の具体的な構成は、図20のようになる。

【0073】図20に示す例によれば、不良セルデータは、センスおよびデータラッチが終了した時点で、既に冗長セルデータに置き換わっている。このため、第4実施形態の図18に示した例に比較して、Fuseデータ(不良アドレス、I/Oデータ)を、カラムR/D置き換え制御回路10内にラッチしておく必要はない、という利点を得ることができる。

【0074】(第6実施形態) 第6実施形態は、この発明をデータ読み出しとデータ書き込み又はデータ消去とをデュアルに行う技術に適用した例である。

【0075】図21は、この発明の第6実施形態に係るNOR型フラッシュメモリの一例を示す回路図である。

【0076】フラッシュメモリではセルへのデータ書きこみ、消去とそのペリファイ動作をチップ内部で自動制御することができる場合がある。書きこみは数msec、消去は数百msec～数秒の時間がかかり、通常自動動作実行中のチップはBusy状態で読み出しアクセスはできなくなる。自動動作実行中も書きこみ／消去をしているロック以外のセルへの読み出しをできるようにした機能(Read While Write: RWW機能)を持たせることが、図21のようにCG2のカラムゲートを2つ並列に設けて実現することが可能である。

【0077】RCG2ゲートはビット線と読み出し用のセンスアンプとをつなぐスイッチであり、第1実施形態と同じ機能を果たす。このRCG2と並列にビット線に接続されたACG2は自動動作の際の書きこみ／消去ペリファイをおこなうセンスアンプを接続するスイッチの役割をしている。

【0078】図21のうち、メモリセルアレイ1、ロウデコーダ2、カラムゲート3、カラムゲート駆動回路5、6、6'はチップ中に複数セット存在する。これらを共用するセル間についてRWW機能を持たせることはできない。ワード線、ビット線および、それらのドライバ回路を共用しないセル間(バンク間)についてのみRWW機能は実現できる。ただし、アドレス制御回路8、センスアンプ4、データラッチ7、出力マルチプレクサ9は、図中のものを共用して使うことができる。

【0079】RWW機能のために、アドレス制御回路8、及びセンスアンプ4は、Auto用とRead用の2セット存在する。Read用アドレス制御回路は、読み出しのためのアドレス、クロックを制御する。

【0080】一方、Auto用アドレス制御回路はコマンド等でチップ外部から書き込み、ないしは消去指定されたアドレスを自動動作が終了するまでラッチしておく。

【0081】ロウデコーダ2、カラムゲート駆動回路5、6、6'に入力されるアドレスは対象のメモリセルアレイ1がAuto中かRead中かによってアドレスセレクタ11で対応するアドレスで指定されるアドレスが入力される。カラムゲート駆動回路6、6'はアドレスがAuto用のとき、Auto用センスアンプ4'に接続するべくカラムゲート駆動回路6'のみ活性化され、RCG2のカラムゲートはすべて閉じた状態になる。これはReadのときは全く逆の動作である。

【0082】本実施形態では、センスアンプを、Read用センスアンプ4とAuto用センスアンプ4'とにわけることで、Read用センスアンプ4は“4×データ幅分”、Auto用センスアンプ4'は“1×データ幅分”設けてい

る。

【0083】もし、センスアンプ4を、読み出し、ベリファイで共用してRW機能を実現しようとすると、RWの単位(バンク)毎に4アドレス分、データ幅が16なら $4 \times 16 = 64$ 個+R/D分のセンスアンプが必要になる。例えば2バンク構成なら、128個のセンスアンプが必要である。

【0084】これに対し、センスアンプ4を読み出し用とベリファイ用に役割分化させればベリファイ用のセンスアンプの数を減らして、例えば1ワード分16個にすることができる。本例では、読み出し用をセンスアンプ4とし、ベリファイ用をセンスアンプ4' としている。

【0085】また、ホットエレクトロン書き込みのための書き込み負荷トランジスタは、ベリファイ用のセンスアンプ4' の方だけにつなぐようによすれば、読み出しの際のビット線の負荷容量を低減し、センス時間を短縮する効果もある。

【0086】また、読み出し用のセンスアンプ4と、ベリファイ用のセンスアンプ4' とは、デコーダを互いに共有しない、少なくとも2つのメモリセルアレイで共有することもできる。このようにした具体例を、図22に示す。

【0087】図22に示すように、読み出し用センスアンプ(READ S/A)4は、メモリセルアレイ(MEMORY CELL ARRAY A)1Aと、メモリセルアレイ(MEMORY CELL ARRAY B)1Bとで共有され、ベリファイ用センスアンプ(VERIFY S/A)4' も同様に、メモリセルアレイ1Aと、メモリセルアレイ1Bとで共有されている。

【0088】メモリセルアレイ1Aのロウはロウデコーダ(Row DEC. A)2Aにより選択され、メモリセルアレイ1Bのロウは、ロウデコーダ(Row DEC. B)2Bにより選択される。同じくメモリセルアレイ1Aのカラムは、カラムゲート(Col. GATEA)3A、及びカラムゲート駆動回路(Col. GATE DRV. A)5A、6A、6' Aにより選択され、メモリセルアレイ1Bのカラムは、カラムゲート(Col. GATEB)3B、及びカラムゲート駆動回路(Col. GATE DRV. B)5B、6B、6' Bにより選択される。このようにメモリセルアレイ1Aと1Bとでは、デコーダを互いに共有しない。

【0089】図22に示す例では、読み出し用のセンスアンプ4と、ベリファイ用のセンスアンプ4' を、メモリセルアレイ1Aと1Bとで互いに共有するので、チップ面積の増大を抑制できる。

【0090】(第7実施形態)同期読み出し動作においては、データは外部クロックに同期して出力しなくてはならない。読み出し動作時には選択メモリセルへのワード線、ビット線バイアス、センスアンプイネーブル、センス出力ラッチなどのタイミングが必要で、これらのタイミングを外部クロックから作ることも可能である。

【0091】しかし、外部クロック周波数はチップが実

装されるシステムによってまちまちで一定ではない。周波数の上限はパイプライン動作で遅延なく連続的に出力することのできる値で決まるが、下限は原則として周波数領域を広げるべきである。遅い周期の読み出しの際、外部クロックでタイミングを作るとセルに無駄に長時間バイアスされるなど信頼性上好ましくない問題も発生する。

【0092】そこで、センスアンプ出力のラッチとラッチデータの出力、および次のアドレスへのアクセススタートのタイミングのみ、外部クロックに同期させる。センス線とリファレンス線のイコライズやプリチャージ、センスアンプイネーブルなどの内部タイミングは、従来どおりの内部遅延でタイミングを生成することを考える。こうすることでセルへのバイアスやセンスタイミングは外部クロックの周波数に依存することなく、また従来の非同期動作とも整合がとりやすくなる。

【0093】この発明の第7実施形態に係るセンスアンプ4、データラッチ7、出力マルチプレクサ9、データ出力までのパスを開閉するインバータ列回路を、図23に示す。

【0094】図23に示すように、センスアンプ4の出力SAOUTは、信号SALATBが“HIGH”になったときにデータラッチ17に転送、ラッチされる。ラッチデータはSELDATA=“HIGH”的タイミングで、下位のカラムアドレス(COL_0, COL_1)を受けて複数のデータからひとつを選んでDATABUSに output、これがラッチaにラッチされる(出力マルチプレクス19の機能)。

【0095】同期シリアルアクセスの場合は、次に来るべきデータがわかっているので、あるデータをチップ外に出力している間に、次のデータをラッチaまでもってきておく。CLKPADのタイミングに合わせてLATB信号をたて即座に新しいデータを出力することができる。

【0096】各信号のタイミングを示すタイミングを図24に示す。

【0097】CEBPAD=“LOW”となって、最初のCLKPADの立ち上がりで入力アドレスをラッチする場合を考える。信号INITIALは、読み出し回路の初期化信号で、センスアンプにつながるセンス線の放電や差動増幅器の定電流源の動作開始などに使われ、非同期のAIT(Address Transition Detect)信号と対応付けることのできる信号である。セルへのアクセス、センスは非同期の内部遅延回路を用いる。信号PREでビット線がプリチャージされ、信号SENSEが“HIGH”になるとセンスを開始する。

【0098】センスアンプ出力SAOUTをデータラッチ17に転送、マルチプレクサ19で出力を選択する動作は、CLKPADから入力されるクロック信号に同期して行う。それらの信号がSALATB、SELDATA、LATBである。最初のアクセス時はSALATB=“HIGH”でセンスアンプ出力SAOUTはそのままデータラッチ17に転送される。そしてCEBPAD=“LOW”となってから、ある決まったクロック回

数後、 $SALATB-L$ に遷移し、4アドレス分のデータを確定する。この決まったクロック数が最初のアクセスの $LATE$ NCYとなり、内部の読み出し速度とクロック周波数によって最小 $LATENCY$ クロック数は変わる。

【0099】以後、 $SALATB$ は4クロック毎に転送ゲートを開き、新しい4アドレス分の $SAOUT$ をとりこむ。 $SALATB$ はそのままパイプライン動作のアドレスインクリメント信号の役割を果たす。 $SALATE$ の立ち下がりで COL_2 より上位のアドレスがカウントアップされ、次の4アドレス分の読み出しがスタートする。 $SALATB-L$ となって最初のクロックの立ちあがりまで $INITIAL$ 信号が“HIGH”となり以下、最初のアクセスと同様 PRE 、 SEN の内部遅延によるタイミングが生成される。

【0100】4アドレスデータの1つを選択($SELDATA$)し、出力バッファから I/O パッドに出力する($LATB$)動作は、毎クロックおこなわれる。 $SELDATA$ のタイミングで $DATABUS$ に転送されたデータは、まず、図23のラッチaにラッチされる。そして $LATB=“HIGH”$ でそのデータが実際に出力バッファに転送され、 $LATB=“LOW”$ で転送ゲートが閉じた後に $SELDATA=“HIGH”$ となって次のデータをラッチaに出力する。

【0101】(第8実施形態)図24に示した第7実施形態のタイミングでは、データラッチ17から出力データを選択する出力マルチプレクスのタイミング($SELDAT$ A)が同期動作の基本クロックである。クロックパッドからの入力クロックの立ち上り、立下りの両方のタイミングを使用して制御している。CMOSゲートロジックでは、ロジックの立ち上がりはpMOS、立下りはnMOSの駆動能力に依存するため、プロセス条件などでトランジスタの駆動能力のバランスが崩れると立ち上がり遅延と立下り遅延にも違いが生じる。このような場合、図24に示したタイミングでは、基本クロックの周波数をあげたときに各制御信号の相関、前後関係を保つのが困難になる。

【0102】これに対し、第8実施形態では、図25に示すように、 $LATB$ を同期動作の基本クロックとした場合の制御タイミングである。この場合は、始めのアドレスラッチタイミング以外はクロック入力の立ち下がりエッジのみを使用しており、純粹にクロック周波数のみに依存した制御になっている。

【0103】以上、第1～第8実施形態により説明したこの発明によれば、同一ワード線上のメモリセルをカラムゲートの切り替えだけで順次選択してパイプライン読み出しを実現することにより、デコーダ回路が分離されていた従来に比べ、チップ面積の縮小が可能となり、かつ読み出し消費電力を低減することが可能である。

【0104】また、複数アドレスの同時センスにおいてアドレス毎にカラムゲート信号を個別に駆動することできセンスアンプ個数の2倍のアドレス順出力を遅延なく出力することが可能である。

【0105】また、この発明は、上記第1～第8実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0106】また、上記各実施形態は、単独、または適宜組み合わせて実施することも勿論可能である。

【0107】さらに、上記各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0108】

【発明の効果】以上説明したように、この発明によれば、“パイプライン読み出し”と同等の高速データ読み出しを可能としつつ、かつそのチップ面積を縮小することが可能な半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1実施形態に係るNOR型フラッシュメモリの一例を示す回路図。

【図2】図2は循環的なインターリーブアクセスのアクセス順序を示す図。

【図3】図3は循環的な連続アクセスのアクセス順序を示す図。

【図4】図4はカラムゲート駆動回路6の一例を示す回路図。

【図5】図5は信号 $INTERLEAVE=“LOW”$ のときの真理値を示す図。

【図6】図6は循環的なインターリーブアクセス動作(パイプライン読み出し)を示す動作タイミング図。

【図7】図7は循環的なシリアルアクセスに対応するアドレス制御回路の一例を示す回路図。

【図8】図8は循環的なインターリーブアクセスに対応する出力マルチプレクス制御回路の一例を示す回路図。

【図9】図9は循環的な連続アクセスに対応する出力マルチプレクス制御回路の一例を示す回路図。

【図10】図10は循環的な連続アクセスで同時選択される組み合わせを示す図。

【図11】図11は循環的な連続アクセス動作(パイプライン読み出し)を示す動作タイミング図。

【図12】図12はこの発明の第3実施形態に係るNOR型フラッシュメモリの一例を示す回路図。

【図13】図13は循環的でない連続アクセスのアクセス順序を示す図。

【図14】図14Aは循環的でないシリアルアクセスに対応するアドレス制御回路の一例を示す図、図14Bは図14Aに示す回路ブロック100の一回路例を示す回路図。

【図15】図15は循環的でない連続アクセスに対応する出力マルチプレクス制御回路の一例を示す回路図。

【図16】図16は循環的でない連続アクセス動作(パイプライン読み出し)を示す動作タイミング図。

【図17】図17はこの発明の第4実施形態に係るNOR型フラッシュメモリの一例を示す回路図。

【図18】図18は置換機能付 output マルチプレクサの一例を示す回路図。

【図19】図19はこの発明の第5実施形態に係るNOR型フラッシュメモリの一例を示す回路図。

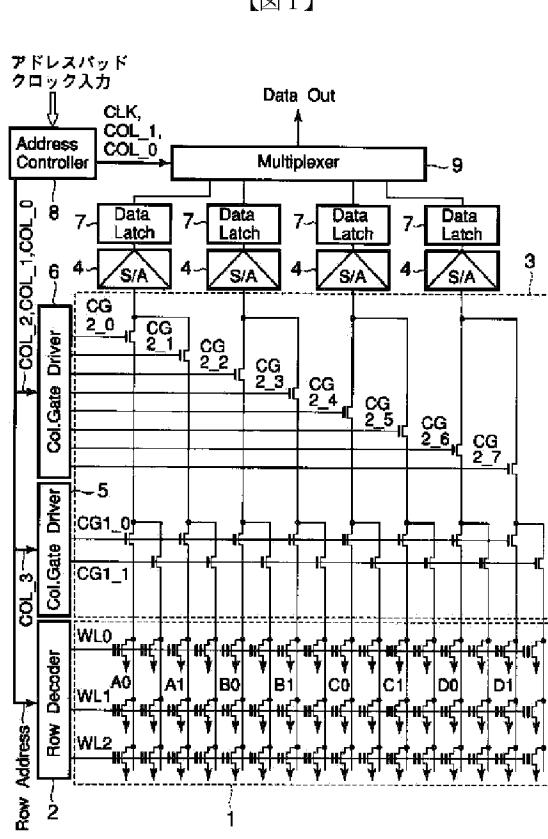
【図20】図20は置換機能付データラッチの一例を示す回路図。

【図21】図21はこの発明の第6実施形態に係るNOR型フラッシュメモリの一例を示す回路図。

【図22】図22はこの発明の第6実施形態の一変形例を示すブロック図。

【図23】図23はこの発明の第7実施形態に係るNOR型フラッシュメモリのデータ読み出し系回路の一例を示す回路図。

【図24】図24は第7実施形態に係るデータ出力タイミングを示す動作タイミング図。



【図1】

10

【図25】図25は第8実施形態に係るデータ出力タイミングを示す動作タイミング図。

【符号の説明】

- 1 …メモリセルアレイ、
- 2 …ロウデコーダ、
- 3 …伝送ゲート（カラムゲート）、
- 4 …センスアンプ、
- 4' …センスアンプ（ペリファイ用）
- 5 …カラムゲート駆動回路、
- 6 …カラムゲート駆動回路、
- 6' …カラムゲート駆動回路（ペリファイ用）
- 7 …データラッチ、
- 8 …アドレス制御回路、
- 9 …出力マルチプレクサ、
- 10 …カラムR/D置き換え制御回路、
- 11 …アドレスセレクタ。

【図2】

開始アドレス (COL_2,COL_1,COL_0)=10進数表示	データ出力アドレス順序 インターリーブアクセス
(0,0,0)=0	0-1-2-3-4-5-6-7
(0,0,1)=1	1-0-3-2-5-4-7-6
(0,1,0)=2	2-3-0-1-6-7-4-5
(0,1,1)=3	3-2-1-0-7-6-5-4
(1,0,0)=4	4-5-6-7-0-1-2-3
(1,0,1)=5	5-4-7-6-1-0-3-2
(1,1,0)=6	6-7-4-5-2-3-0-1
(1,1,1)=7	7-6-5-4-3-2-1-0

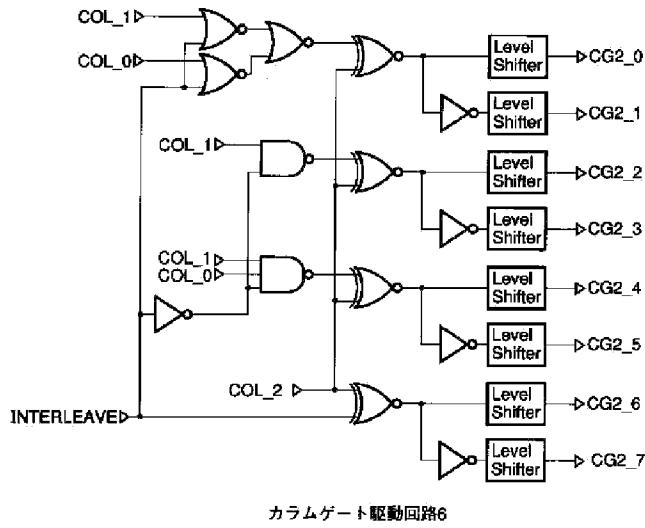
循環的なインターリーブアクセスのアクセス順序

【図3】

開始アドレス (COL_2,COL_1,COL_0)=10進数表示	データ出力アドレス順序 連続アクセス
(0,0,0)=0	0-1-2-3-4-5-6-7
(0,0,1)=1	1-2-3-4-5-6-7-0
(0,1,0)=2	2-3-4-5-6-7-0-1
(0,1,1)=3	3-4-5-6-7-0-1-2
(1,0,0)=4	4-5-6-7-0-1-2-3
(1,0,1)=5	5-6-7-0-1-2-3-4
(1,1,0)=6	6-7-0-1-2-3-4-5
(1,1,1)=7	7-0-1-2-3-4-5-6

循環的な連続アクセスのアクセス順序

【図4】



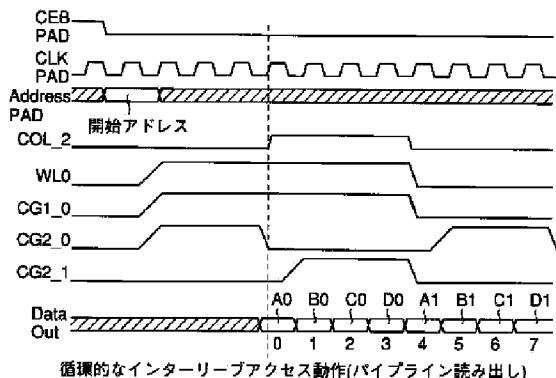
カラムゲート駆動回路6

【図5】

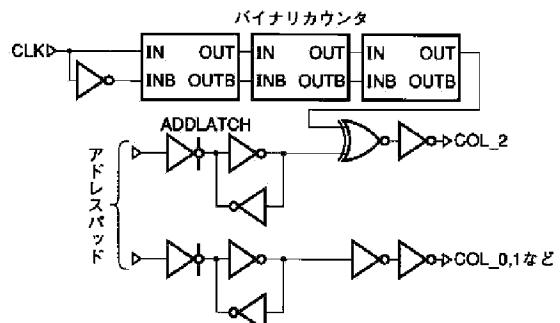
COL_2	0	0	0	0	1	1	1	1
COL_1	0	0	1	1	0	0	1	1
COL_0	0	1	0	1	0	1	0	1
CG2_0	H	L	L	L	L	H	H	H
CG2_2	H	H	L	L	L	L	H	H
CG2_4	H	H	H	L	L	L	L	H
CG2_6	H	H	H	H	L	L	L	L

信号INTERLEAVE="LOW"のときの真理値

【図6】

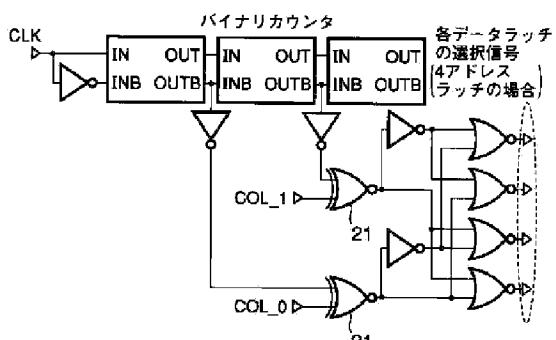


【図7】



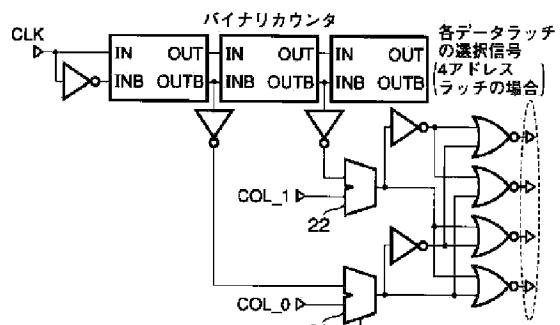
アドレス制御回路8(循環的なシリアルアクセス対応)

【図8】



出力マルチプレクス制御回路(循環的なインターリーブアクセス対応)

【図9】



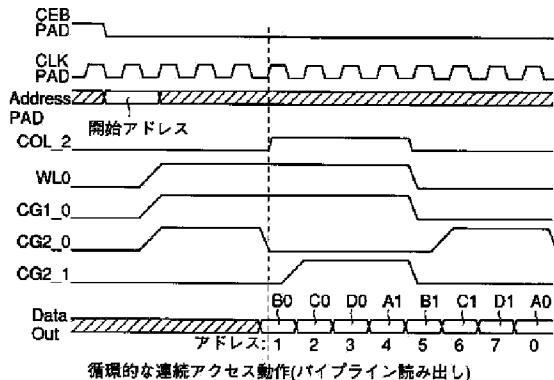
出力マルチプレクス制御回路(循環的な連続アクセス対応)

【図10】

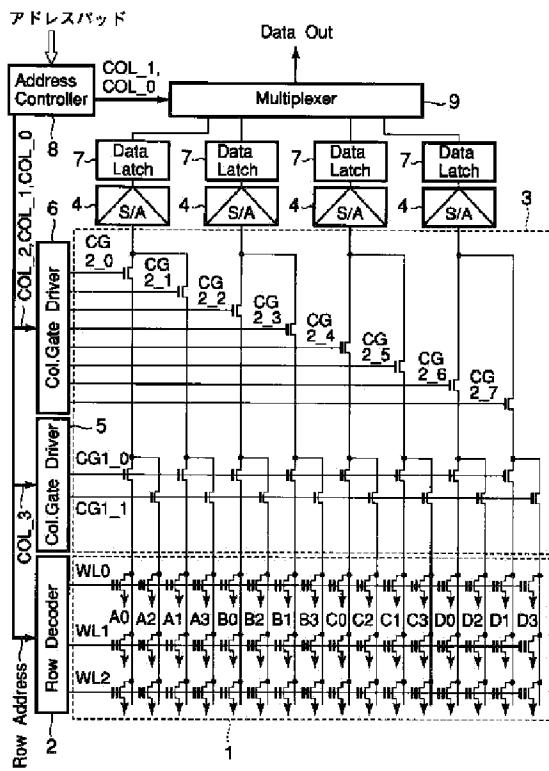
開始アドレス	選択される カラムゲート 信号(CG2_X)	選択されるセル
(0,0,0)=0	0,2,4,6	0,1,2,3
(0,0,1)=1	1,2,4,6	4,1,2,3
(0,1,0)=2	1,3,4,6	4,5,2,3
(0,1,1)=3	1,3,5,6	4,5,6,3
(1,0,0)=4	1,3,5,7	4,5,6,7
(1,0,1)=5	0,3,5,7	0,5,6,7
(1,1,0)=6	0,2,5,7	0,1,6,7
(1,1,1)=7	0,2,4,7	0,1,2,7

循環的な連続アクセスで同時選択される組み合わせ

【図11】



[図12]



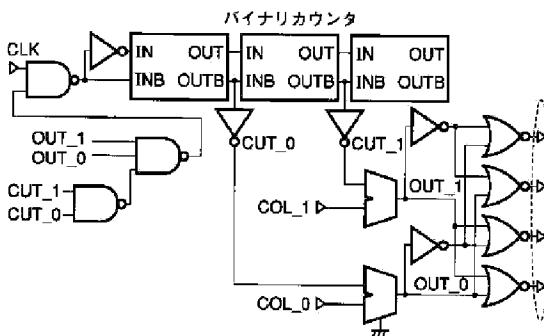
第3実施形態(循環的でないシリアルアクセス対応)

[図13]

開始アドレス (COL_2, COL_1, COL_0)=10進数表示	データ出力アドレス順序 連続アクセス
{0,0,0}=0	0-1-2-3-4-5-6-7
{0,0,1}=1	1-2-3-4-5-6-7-8
{0,1,0}=2	2-3-4-5-6-7-8-9
{0,1,1}=3	3-4-5-6-7-8-9-10
{1,0,0}=4	4-5-6-7-8-9-10-11
{1,0,1}=5	5-6-7-8-9-10-11-12
{1,1,0}=6	6-7-8-9-10-11-12-13
{1,1,1}=7	7-8-9-10-11-12-13-14

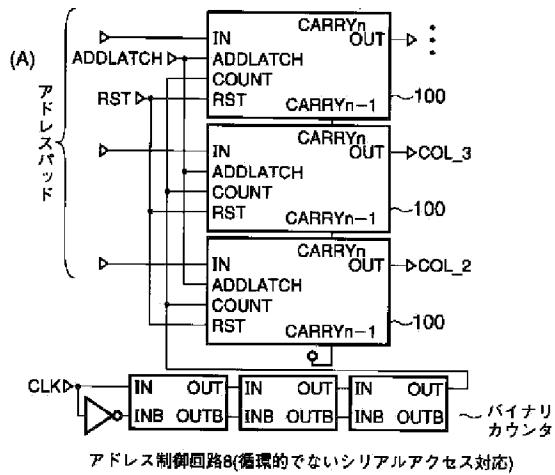
循環的でない連続アクセスのアクセス順序

【図15】

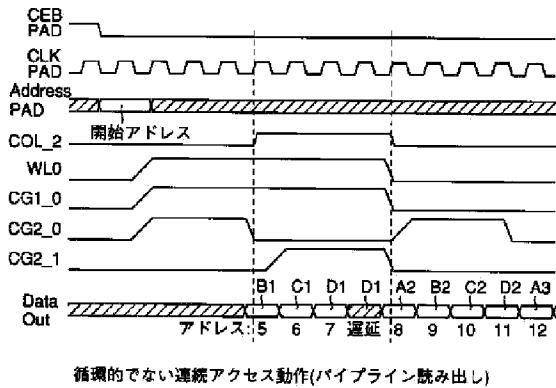


出力マルチプレクス制御回路(循環的でない連続アクセス対応)

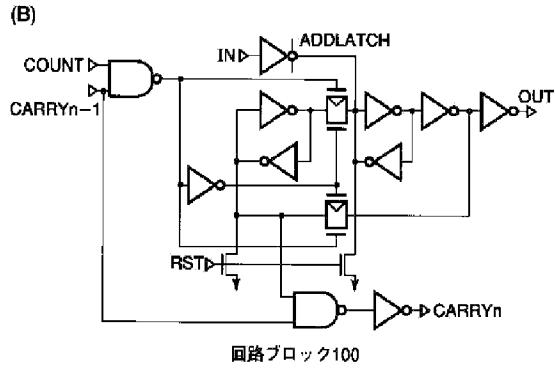
【図1-4】



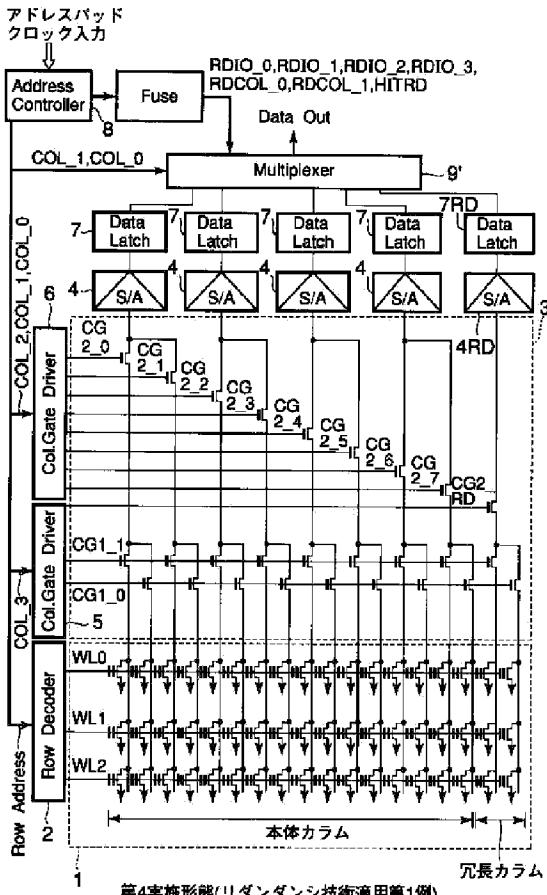
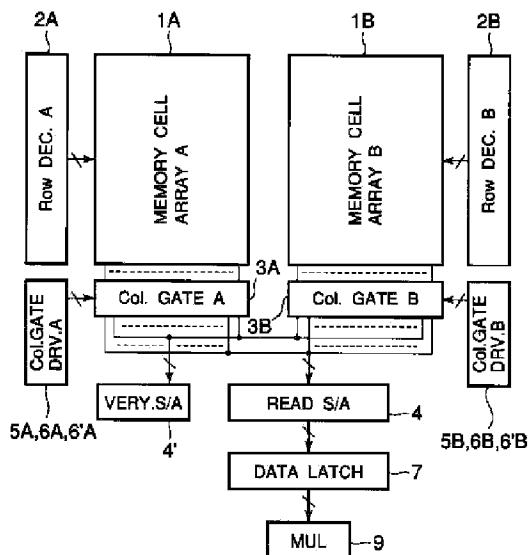
【図16】



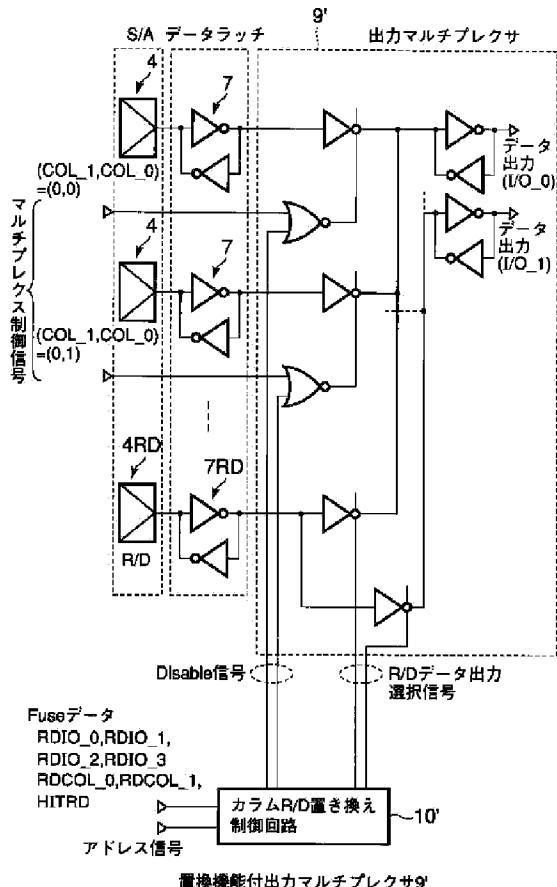
【図17】



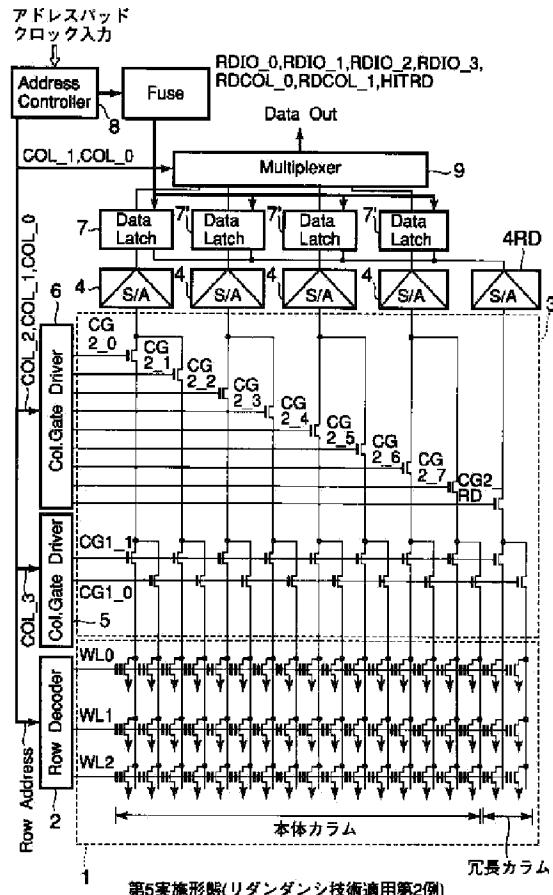
〔四〕22



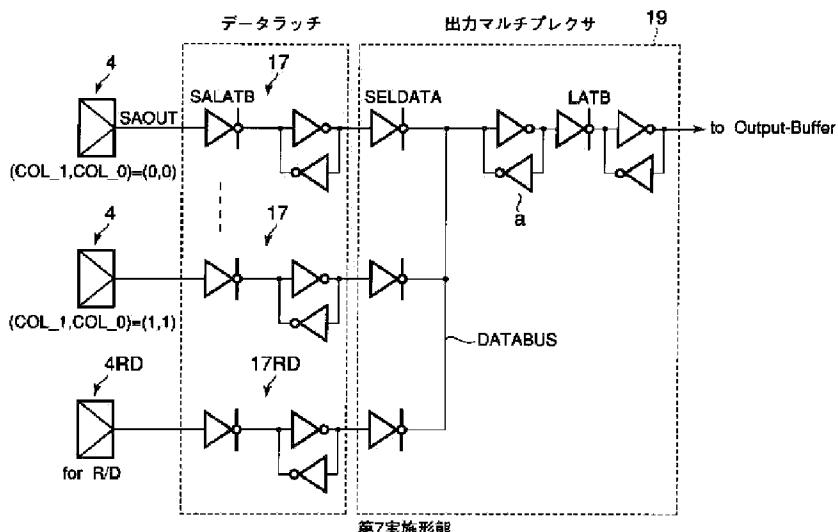
【図18】



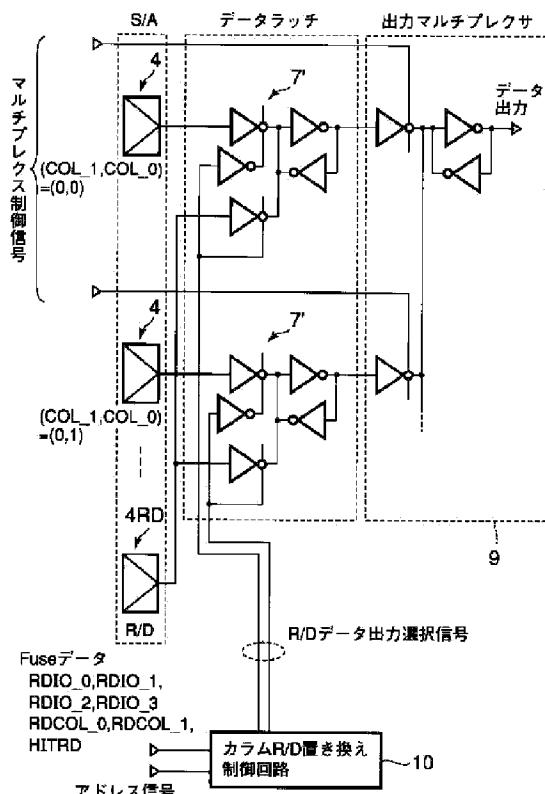
【図19】



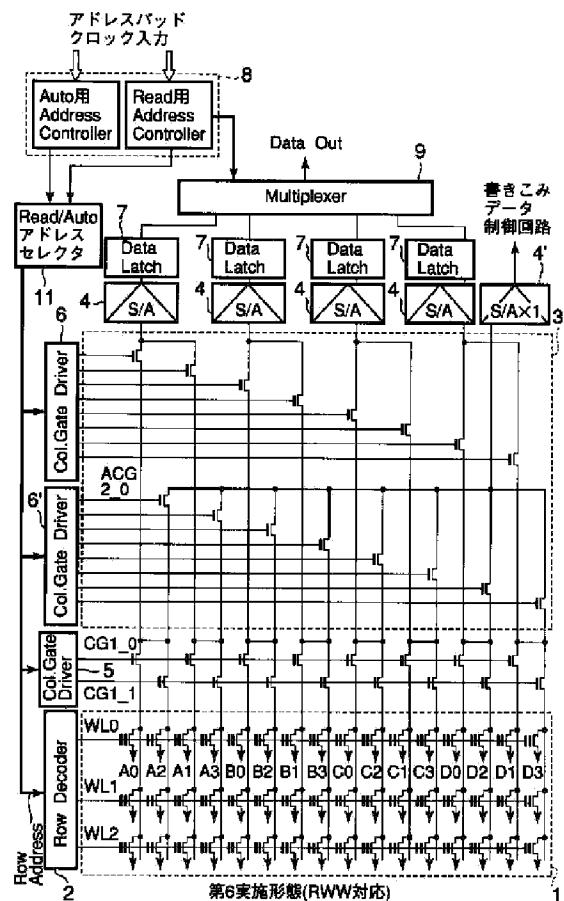
【図23】



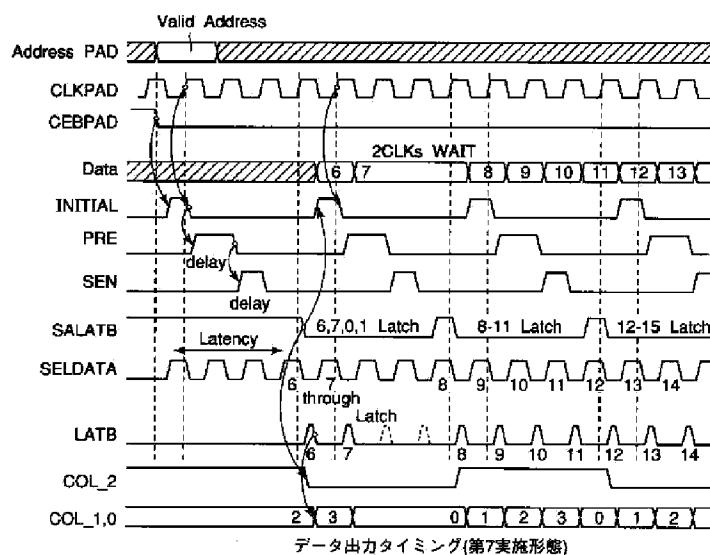
【図20】



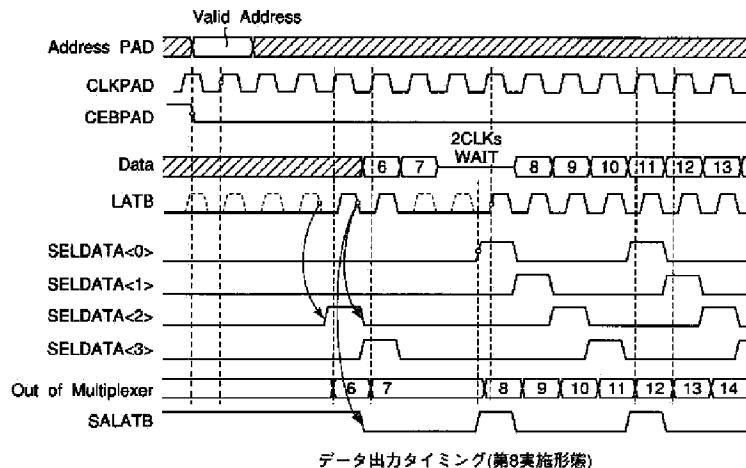
【図21】



【図24】



【図25】



フロントページの続き

(51) Int.Cl.⁷

識別記号

F I

マーク (参考)

G 1 1 C 17/00

6 3 9 A

(72)発明者 丹沢 徹

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 濡美 滋

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

Fターム (参考) 5B025 AA03 AB01 AC01 AD01 AD02

AD05 AD13 AD15 AE05

5L106 AA10 CC17 GG03